

PATENT OFFICE  
JAPANESE GOVERNMENT

#5  
jc526 U.S. PTO  
09/500254  
02/08/00

This is to certify that the annexed is a true copy  
of the following application as filed with this Office.

Date of Application : February 12, 1999

Application Number : Japanese Patent Application  
No. 11-033753

Applicant(s) : President of HIROSHIMA UNIVERSITY

Certified on May 28, 1999

Commissioner,  
Patent Office

Takeshi ISAYAMA (Sealed)

Certification No. 11-3033484

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

JC526 U.S. PTO  
09/500254



【整理番号】

【提出日】

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

(This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

【発明の名称】

出願年月日

Date of Application:

1999年 2月12日

【発明の名称】

出願番号

Application Number:

平成11年特許願第033753号

【氏名】

出願人

Applicant (s):

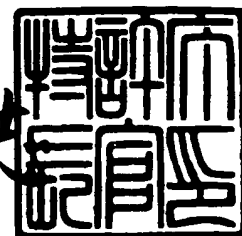
広島大学長

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1999年 5月28日

特許庁長官  
Commissioner,  
Patent Office

山田佐保



【書類名】 特許願

【整理番号】 K10-24

【提出日】 平成11年 2月12日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 27/00

【発明の名称】 共有メモリ

【請求項の数】 5

【発明者】

    【住所又は居所】 広島県東広島市西条町大沢 849-2

    【氏名】 マタウシュ ハンス ユルゲン

【特許出願人】

    【識別番号】 391012648

    【氏名又は名称】 広島大学長 原田 康夫

【代理人】

    【識別番号】 100059258

    【弁理士】

    【氏名又は名称】 杉村 暁秀

【選任した代理人】

    【識別番号】 100072051

    【弁理士】

    【氏名又は名称】 杉村 興作

【選任した代理人】

    【識別番号】 100098383

    【弁理士】

    【氏名又は名称】 杉村 純子

【選任した代理人】

    【識別番号】 100101096

    【弁理士】

    【氏名又は名称】 徳永 博

【選任した代理人】

【識別番号】 100100125

【弁理士】

【氏名又は名称】 高見 和明

【選任した代理人】

【識別番号】 100073313

【弁理士】

【氏名又は名称】 梅本 政夫

【選任した代理人】

【識別番号】 100097504

【弁理士】

【氏名又は名称】 青木 純雄

【選任した代理人】

【識別番号】 100102886

【弁理士】

【氏名又は名称】 中谷 光夫

【選任した代理人】

【識別番号】 100107227

【弁理士】

【氏名又は名称】 藤谷 史朗

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709711

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 共有メモリ

【特許請求の範囲】

【請求項 1】 各々がコピーバス機能を有する少なくとも 1 個のポート及びユーザがアクセス可能な少なくとも 1 個のポートを有する複数個のマルチポートメモリと、前記マルチポートメモリの各々のコピーバス機能を有するポートのうちの 1 個をそれぞれ接続させる少なくとも 1 個のコピーバスとを具え、

前記マルチポートメモリのうちの 1 個の記憶内容が変更された場合、変更された内容を、前記コピーバスを通じてそれ以外のマルチポートメモリにコピーするように構成したことを特徴とする共有メモリ。

【請求項 2】 前記共有メモリを集積回路技術によって構成したことを特徴とする請求項 1 記載の共有メモリ。

【請求項 3】 前記集積回路技術を 2 次元的に行うことを特徴とする請求項 2 記載の共有メモリ。

【請求項 4】 前記集積回路技術を 3 次元的に行うことを特徴とする請求項 2 記載の共有メモリ。

【請求項 5】 前記コピーバスを通じた記憶内容のコピーを光学的に実行するように構成したことを特徴とする請求項 1 から 4 のうちのいずれかに記載の共有メモリ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、並列データ処理システム、人工知能システム、マルチメディア・システムのような電子システムのデータ処理サブシステムに含まれる共有メモリに関するものである。

【0 0 0 2】

【従来技術】

これらサブシステムは、複雑な計算や複雑なユーザ・サービスを同時に実行するものであり、将来、このようなサブシステムの数を増大させるような方向に関

発が進んでいくものと考えられる。

【0003】

上記システムは、図4に示すように、複数のユーザ（プロセッサ、データ処理サブシステム等）1が各ユーザに対応するポート $2-1 \sim 2-n$ （ $n$ は2以上の整数）を通じてアクセス可能な共有メモリ（バスシステム、クロスバースイッチ、OCCM等）3を有する。この場合、共有データやプログラム・ベースに対するアクセスが、全てのサブシステムに全く独立に並列かつ高アクセスビットレートで許容されることが要求される。

【0004】

これまでは、1チップ上にシステムを構築するのに必要な集積化技術がまだ実現されてなかったため、多くのポート数 $n$ 及び高アクセスビットレートを有する共有メモリの開発はそれほど急がれていなかったが、将来はそうでなくなる。しかしながら、複数の実行機能を有する大型コンピュータでは既に不都合が生じており、このような不都合をなくす方法（例えば、キャッシュメモリ、バンキング技術、交差可能なスイッチ、バスシステム等）が開発されている。

【0005】

このような解決方法が大型コンピュータ・システムの設計に依存するので、設計の自由度を制限する幾つかの境界条件が生じる。このような境界条件の一つに、コンピュータ・システムの設計に市販の半導体部品を用いることが挙げられる。したがって、このような解決方法では、基本要素として従来の1-ポートメモリ・チップに基づいてコンピュータ・システムが構築されてしまうことになる。

【0006】

従来において、上記不都合を同一基板上に集積されたシステムで解決するアプローチとしては、大型コンピュータ・システムで認識されている技術を集積回路の場合に適用することであった。共有メモリの不都合を従来からの方法によって解決する基本的な構造を図5に示す。このような共有メモリは複数個のポートを有するマルチポートメモリとして構成され、これは、ユーザがアクセス可能な $k$ （ $k$ は2以上の整数）個のポート $4-1, 4-2, 4-3, \dots, 4-k-2, 4-k-1, 4-k$ と、同一の記憶内容を有する $m$ （ $m$ は2以上の整数）個の

シングルポートメモリ  $5-1, 5-2, \dots, 5-m-1, 5-m$  と、ポート  $4-1, 4-2, 4-3, \dots, 4-k-2, 4-k-1, 4-k$  のうちの任意のものがシングルポートメモリ  $5-1, 5-2, \dots, 5-m-1, 5-m$  に接続するように切替動作を行うスイッチングネットワーク 6（例えば、バス・システム、クロスバースイッチ、多段相互接続ネットワーク）とを具える。

## 【0007】

キャッシュを用いる又はバンキング法を採用する技術は、主にシングルポートメモリのアクセス時間を短縮するのに応用されている（特にDRAMにおいて Y. Nitta et al, "A 1.6GB/s Data Rate 1GB Synchronous DRAM with Hierarchical Square-Shaped Memory Block and Distributed Bank Architecture" ISSCC Dig. of Tech. Papers, pp. 376-377, 1996 参照）。

## 【0008】

キャッシュは、低速のメモリとユーザとの接続部に配置される高速のバッファ・メモリである（これは、図4のスイッチングネットワーク6に相当する。）。

キャッシュ・メモリは、次のアクセス周期でアクセスされる可能性の高い内部データのコピーによって充填される。このための特別のアルゴリズム（これは往々にして応用に依存していた。）が、キャッシュ・メモリを充填するデータを選択するのに用いられている。

## 【0009】

バンキング技術は、バスを通じたデータ輸送がメモリ・アクセスより著しく速いという事実を利用することができる。したがって、データを複数のメモリ・ブロックからほぼ並行して読出し、途中で高速のレジスタに蓄積し、高速のデータ・バスを通じて順次外部ユーザに転送することができる。このようにして、メモリ・アクセス時間より高速でメモリからデータを取り出すことができる。この場合、アクセス時間より幾分長い待機時間（データの要求からデータの転送までに要する時間）を考慮する必要がある。しかしながら、このようなバンキング技術は、順次要求されるデータが相違するメモリ・ブロックに高確率で蓄積されてい

るときにのみ良好に行われる。あるメモリ・ブロックへのアクセスが完了していない状態で同一メモリ・ブロックへのアクセスが要求された場合、後のアクセスは拒否されなければならない。

【0010】

スイッチングネットワーク6の主な履行技術は、バス・システムを通じて行われる交差可能なスイッチ又は多段ネットワークである。なお、交差可能なスイッチを用いた従来型の共有メモリへの解決法の例は、K. Guttag, R. J. Gove, and J. R. Van Aken, "A Single-Chip Multiprocessor for Multimedia: The MVP", IEEE Computer Graphics & App., vol. 12, pp. 53-64, 1992等によって報告されている。

【0011】

近年、シングルポートメモリ5-1, 5-2, . . . , 5-m-1, 5-mのうち、光学的なコピー機能を有するものが特開昭61-3450号公報に開示されている。この場合、ユーザ側からのアクセスにはメモリの電子的ポートが用いられており、光学的なコピー機能は、共有メモリのデータの同一性を確保するために用いられている。各ユーザは1個の電子的なポートを通じて各自で連結した実質的なメモリにアクセスする。したがって、図4の共有メモリ（すなわち、マルチポートメモリ）は、複数（この場合はk個）の実質的なメモリを有しており、これらメモリは各ユーザに接続される。なお、複数個の実質的なメモリ間のデータの同一性は光学的なコピー機能によって保証されている。

【0012】

【発明が解決しようとする課題】

しかしながら、図4に示したような従来の共有メモリでは、実際には次のような制限がある。

(i) ポート4-1, 4-2, 4-3, . . . , 4-k-2, 4-k-1, 4-kの数が比較的少ない（10個以下）。

(ii) シングルポートメモリ5-1, 5-2, . . . , 5-m-1, 5-mの数が比較的少ない。



特に、(ii)においてはアクセス衝突を起こす確率が非常に高くなってビットレートが低くなるおそれがあるので、シングルポートメモリ 5-1, 5-2, . . . , 5-m-1, 5-m の数を増大させることが所望される。

【0013】

これを解決する直接的な方法は、各セルに要求されるポート数を増大させることであるが、この場合、多数のデコーダをメモリセルの列の幅の中に収容する必要があるというレイアウトに起因する困難が生じる。また、ポート数を増大させるとメモリセルの占有面積が増大するという不都合も生じる。

【0014】

また、共有メモリを構成するに当たり、小型化し、構成を簡単にし、かつ、消費電力を抑制することが好ましい。

【0015】

本発明の目的は、ユーザが利用可能なポート数を増大させるとともに高アクセスビットレートを実現することができる共有メモリを提供することである。

【0016】

本発明の他の目的は、小型化することができる共有メモリを提供することである。

【0017】

本発明の他の目的は、簡単な構成の共有メモリを提供することである。

【0018】

本発明の他の目的は、有効な占有面積の共有メモリを提供することである。

【0019】

本発明の他の目的は、消費電力を抑制することができる共有メモリを提供することである。

【0020】

【課題を解決するための手段】

本発明による共有メモリは、各々がコピーバス機能を有する少なくとも1個のポート及びユーザがアクセス可能な少なくとも1個のポートを有する複数個のマルチポートメモリと、前記マルチポートメモリの各々のコピーバス機能を有する

ポートのうちの 1 個をそれぞれ接続させる少なくとも 1 個のコピーバスとを具え

前記マルチポートメモリのうちの 1 個の記憶内容が変更された場合、変更された内容を、前記コピーバスを通じてそれ以外のマルチポートメモリにコピーするように構成したことを特徴とするものである。

【0021】

本発明によれば、各々がコピーバス機能を有する少なくとも 1 個のポート及びユーザがアクセス可能な少なくとも 1 個のポートを有する複数個のマルチポートメモリと、マルチポートメモリの各々のコピーバス機能を有するポートのうちの 1 個をそれぞれ接続させる少なくとも 1 個のコピーバスとを具える。マルチポートメモリのうちの 1 個の記憶内容が変更された場合、変更された内容を、コピーバスを通じてそれ以外のマルチポートメモリにコピーする。

【0022】

このように複数個のマルチポートメモリを用いるとともに、これらマルチポート間での記憶内容の同一性を確保することによって、従来のように単一のマルチポートメモリを共有メモリとして用いる場合に比べてユーザがアクセス可能なポート数を増大させることができる。また、複数のコピーバスを用いることが可能となるので、高アクセスビットレートを達成することができる。

【0023】

一般に、本発明による共有メモリを集積回路技術によって構成する。このように集積回路技術によって構成することによって、共有メモリを小型化することができる。この場合、集積回路技術を 2 次元の又は 3 次元的に行う。集積回路技術を 2 次元的に行った場合には、共有メモリの構成を簡単にすることができる。それに対して、集積回路技術を 3 次元的に行った場合には、共有メモリの占有面積を有効に使用することができる。

【0024】

コピーバスを通じた記憶内容のコピーを電子的に実行できるが、好適には、コピーバスを通じた記憶内容のコピーを光学的に実行する。このようにコピーを光学的に実行することによって、共有メモリの高ビットレートでのアクセスを可能

にするとともに消費電力が抑制される。

【0025】

【発明の実施の形態】

本発明による共有メモリの実施の形態を、図面を参照して詳細に説明する。なお、同一部材には同一符号を付すものとする。

図1は、本発明による共有メモリの実施の形態を示す図である。この共有メモリは、 $p$  ( $p$ は2以上の整数)個のマルチポートメモリ11-1, 11-2, . . . , 11- $p$ と、 $q$  ( $q$ の値は、一般に記憶内容の同一性を確保するような値に選択される。)個のコピーバス12-1, . . . , 12- $q$ とを具え、この共有メモリを3次元集積化技術を用いて構成する。これらマルチポートメモリ11-1, 11-2, . . . , 11- $p$ の各々は $k$  ( $k$ は2以上の整数)個のポートを有し、これらポートのうちの $p$ 個のポートを、コピーバス機能を有するものとし、コピーバス12-1, . . . , 12- $q$ の各々に対して上記 $p$ 個のポートのうちの1個を接続する。それ以外の $k-p$ 個のポートを、ユーザがアクセス可能なものとする。したがって、各マルチポートメモリ11-1, 11-2, . . . , 11- $p$ については $k-q$ ポートがユーザに対してアクセス可能となり、合計 $n = p \times (k - q)$ ポートがユーザに対してアクセス可能となる。その結果、図1の共有メモリは、 $n$ 個のポートを有するマルチポートメモリとして構成される。

【0026】

マルチポートメモリ11-1, 11-2, . . . , 11- $p$ の各々を、従来既知のマルチポートメモリで構成することができる。コピーバス12-1, . . . , 12- $q$ を、上記特開昭61-3450号公報に開示されているような内部コピーバスだけでなく、外部コピーバスとして実現することをできる。内部コピーバスを通じたコピーについては、上記特開昭61-3450号公報に開示されたようにして光学的に実行するのが好ましく、外部コピーバスを通じたコピーについては、電子的又は光学的に実行することができるが、光学的に実行の方が消費電力の抑制及び高アクセスビットレートの達成の観点からは好ましい。また、コピー速度及びアクセスビットレートを高くすることを優先する場合にはコピー

バスの個数  $q$ （すなわち、コピーバス機能を有するポートの数  $q$ ）の数を大きくし、それに対して、ユーザ数を増大させたい場合にはユーザがアクセス可能なポートの数  $k - q$  を大きくする（すなわち、コピーバス機能を有するポートの数  $q$  を小さくする。）。なお、内部コピーバス及び外部コピーバスの意味については後に説明する。また、コピーバスの個数  $q$  によって、データの同一性の確保するために到達可能なバンド幅が決定され、これをシステムの必要に応じて選択することができる。

【0027】

図2は、内部コピーバス及び外部コピーバスを説明するための図であり、図3は、その一例を詳細に示したものである。図2及び3において、図1のコピーバス12-1を内部コピーバスとし、コピーバス12- $q$ を外部コピーバスとする。内部コピーバスは、コピーバス機能を有する内部ポートに接続する。例えば、図3に示すように、マルチポートメモリ11-1, 11-2, ..., 11- $p$ を、記憶領域13-1, 13-2, 13-3, ..., 13- $p-1$ , 13- $p$ 、行バッファ14-1, 14-2, 14-3, ..., 14- $p-1$ , 14- $p$ 及び出力バッファ15-1, 15-2, 15-3, ..., 15- $p-1$ , 15- $p$ で構成した場合、記憶領域13-1, 13-2, 13-3, ..., 13- $p-1$ , 13- $p$ の単一のメモリセル16-1, 16-2, 16-3, ..., 16- $p-1$ , 16- $p$ のレベルでマルチポートメモリ11-1, 11-2, 11-3, ..., 11- $p-1$ , 11- $p$ と接続している内部ポート（この場合、内部ポートはコピーバス12-1に接続する。）、行バッファ14-1, 14-2, 14-3, ..., 14- $p-1$ , 14- $p$ のレベルのもの（この場合、内部ポートは内部コピーバスとしてのコピーバス12-2に接続する。）及び出力バッファ15-1, 15-2, 15-3, ..., 15- $p-1$ , 15- $p$ のレベルのもの（この場合、内部ポートは内部コピーバスとしてのコピーバス12-3に接続する。）も可能である。それに対して、外部コピーバスは、データがマルチポートメモリ11-1, 11-2, ..., 11- $p$ のうちの1個から実際に読み出される際にコピー機能を有し又はユーザ側のポートとして機能する外部ポートに接続する。

## 【0028】

データは、共有メモリに書き込まれるとともに、その  $n$  個のポートの各々を通じて共有メモリから独立して並列に読み出される。これら  $n$  個のポートの各々は、一般に  $W_i$  ビットのワード長を有する。コピーバス  $12-1, \dots, 12-q$  の各々は、対応するコピーバスに接続したポートのワード長に相当する  $W_c$  ビットのワード長を有する。

## 【0029】

コピーバス  $12-1, \dots, 12-q$  は、マルチポートメモリ  $11-1, 11-2, \dots, 11-p$  の各々に記憶されたデータを同一に保持する、すなわち、データの同一性を保証するために必要とされる。したがって、データがマルチポートメモリのうちの 1 個から読み出されている間にはコピーバスが使用されない。しかしながら、マルチポートメモリ  $11-1, 11-2, \dots, 11-p$  のうちの 1 個に記憶されたデータビットが書込み動作によって変更された場合、他のマルチポートメモリのデータビットを更新する必要がある。

## 【0030】

変更されたデータビットを更新するコピープロセスは、次のステップによって行われる。

(a) コピーバス  $12-1, \dots, 12-q$  のうちのいずれかを通じて、記憶内容が変更されたメモリから変更したデータビットを読み出す。

(b) そのデータビットが、コピーバス  $12-1, \dots, 12-q$  のうちのいずれかから他の全てのマルチポートメモリに並列に書き込まれる。いずれのコピーバスも他の全てのマルチポートメモリに接続されているので、並列の書込みは可能である。

## 【0031】

変更したデータビットの数及びコピーバス  $12-1, \dots, 12-q$  のワード長に応じて、コピープロセスは 1 又は数クロックサイクルを必要とする。これらコピーバス  $12-1, \dots, 12-q$  の数及びワード長の選択は、マルチポートメモリの典型的な動作状態、すなわち、ユーザ側からの書込み動作が行われる周波数でのコピープロセスに必要とされるデータレートによって決定される。

当然、コピープロセスに関連する記憶ビットを、コピープロセス中に外部ユーザポートから用いることができない。したがって、コピープロセス中にはユーザ側からのアクセスを遮断する必要がある。

【 0 0 3 2 】

コピープロセスを、図示しないコピープロセス管理ユニットによって制御する必要がある。このコピープロセス管理ユニットは、次のタスクを実行する必要がある。

(A) ユーザ側からの書込み動作の検出

(B) コピープロセス中のユーザ側からのアクセスに関連する記憶位置の遮断

(C) 【 0 0 3 0 】 の上記コピープロセスのステップ (a) , (b) の実行  
コピープロセス管理ユニットを、専用プロセッサのソフトウェア上で又は特定のハードウェア回路として実現することができる。

【 0 0 3 3 】

本実施の形態によれば、複数のマルチポートメモリを用いるとともに、これらマルチポート間での記憶内容の同一性を確保することによって、従来のように単一のマルチポートメモリを共有メモリとして用いる場合に比べてユーザがアクセス可能なポート数を増大させることができる。また、ユーザがアクセス可能なポート数が増大するためにアクセス衝突が生じるおそれが少なくなるので、高アクセスビットレートを達成することができる。

【 0 0 3 4 】

また、記憶内容のコピーを光学的に実行することによって、共有メモリの高ビットレートでのアクセスを可能にするとともに消費電力が抑制される。なお、記憶内容のコピーを光学的に実行した場合、電子的に実行した場合に比べてビットレートを約 2 倍にすることができる。

【 0 0 3 5 】

さらに、共有メモリを 3 次元集積化技術を用いて構成することによって、2 次元集積化技術を用いて構成する場合に比べて共有メモリの占有面積を有効に使用することができる。

【 0 0 3 6 】

なお、共有メモリの有効な記憶容量を  $SC_e$  とし、その物理的な記憶容量を  $SC_p$  とし、共有メモリのポート数を  $N$  とし、共有メモリの構築ブロック（本発明ではマルチポートメモリ、上記特開昭 61-3450 号公報に開示されている共有メモリではシングルポートメモリ）のユーザがアクセス可能なポート数を  $n$  とした場合、次の関係が成立する。

【0037】

【数 1】

$$SC_e = n SC_p / N$$

したがって、従来のように  $n = 1$  となる場合には、有効な記憶容量  $SC_e$  が物理的な記憶容量  $SC_p$  に比べて小さくなるという不都合があるが、本発明の場合には、 $N > 1$  とすることができるので、このような不都合が生じにくくなる。

【0038】

本発明は、上記実施の形態に限定されるものではなく、幾多の変更及び変形が可能である。例えば、上記実施の形態では、マルチポートメモリのポート数が全て同一である場合について説明したが、各々がコピーバス機能を有する少なくとも 1 個のポート及びユーザがアクセス可能な少なくとも 1 個のポートを有する限り、マルチポートメモリのポート数が全て同一である必要がない。

【0039】

また、本発明による共有メモリは少なくとも 1 個の内部コピーバス及び／又は外部コピーバスを有すればよい。共有メモリを、上記実施の形態のように 3 次元集積化技術を用いて構成する代わりに、2 次元集積化技術を用いて簡単に構成することもできる。

【0040】

さらに、本発明による共有メモリを反復的に用いて、ユーザがアクセス可能なポートの数が非常に多い共有メモリを構成することができる。原理的には、図 1 のマルチポートメモリ 11-1, 11-2, . . . , 11-p の各々を、これらマルチポートメモリのポート数よりもポート数が少ない複数個のマルチポートメモリを有する本発明による共有メモリによって構成することもできる。

【図面の簡単な説明】

【図 1】 本発明による共有メモリの実施の形態を示す図である。

【図 2】 内部コピーバス及び外部コピーバスを説明するための図である。

【図 3】 図 2 を詳細に示した図である。

【図 4】 共有メモリを有するシステムを示す図である。

【図 5】 従来の共有メモリを示す図である。

【符号の説明】

1 複数のユーザ

2-1, 2-2, 2-3, . . . , 2-n-2, 2-n-1, 2-n, 4-1  
, 4-2, 4-3, . . . , 4-k-2, 4-k-1, 4-k ポート

3 共有メモリ

5-1, 5-2, . . . , 5-m-1, 5-m シングルポートメモリ

6 スイッチングネットワーク

11-1, 11-2, 11-3, . . . , 11-p-1, 11-p マルチポ  
ートメモリ

12-1, 12-2, 12-3, . . . , 12-q コピーバス

13-1, 13-2, 13-3, . . . , 13-p-1, 13-p 記憶領域

14-1, 14-2, 14-3, . . . , 14-p-1, 14-p 行バッフ  
ア

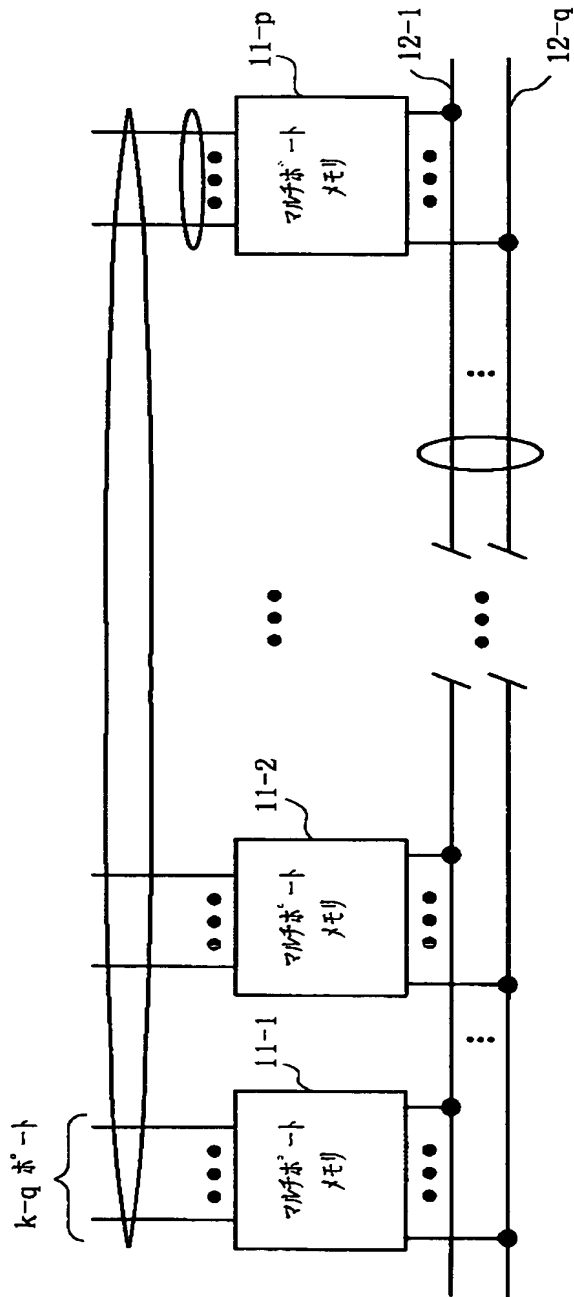
15-1, 15-2, 15-3, . . . , 15-p-1, 15-p 出力バッ  
ファ

16-1, 16-2, 16-3, . . . , 16-p-1, 16-p メモリセ  
ル

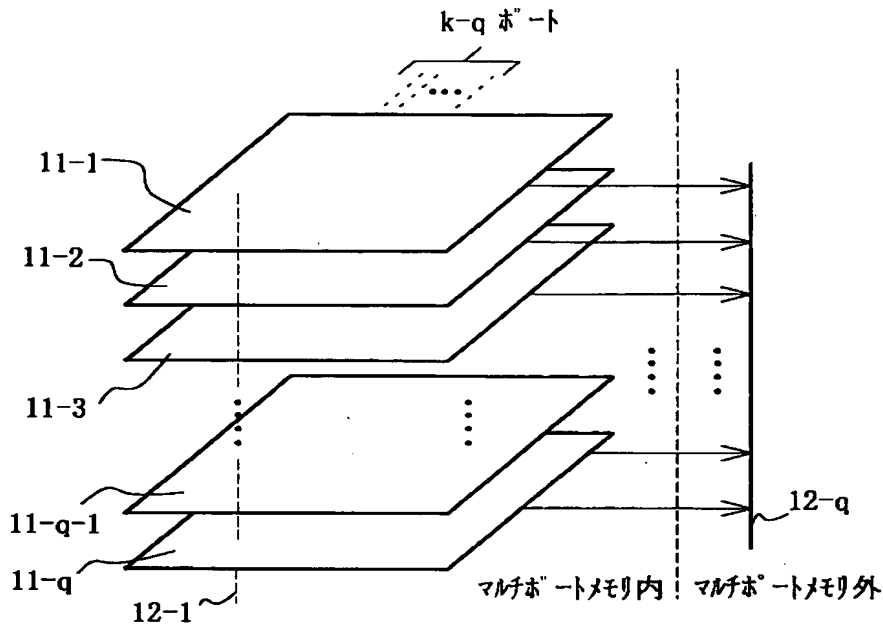


【書類名】 図面

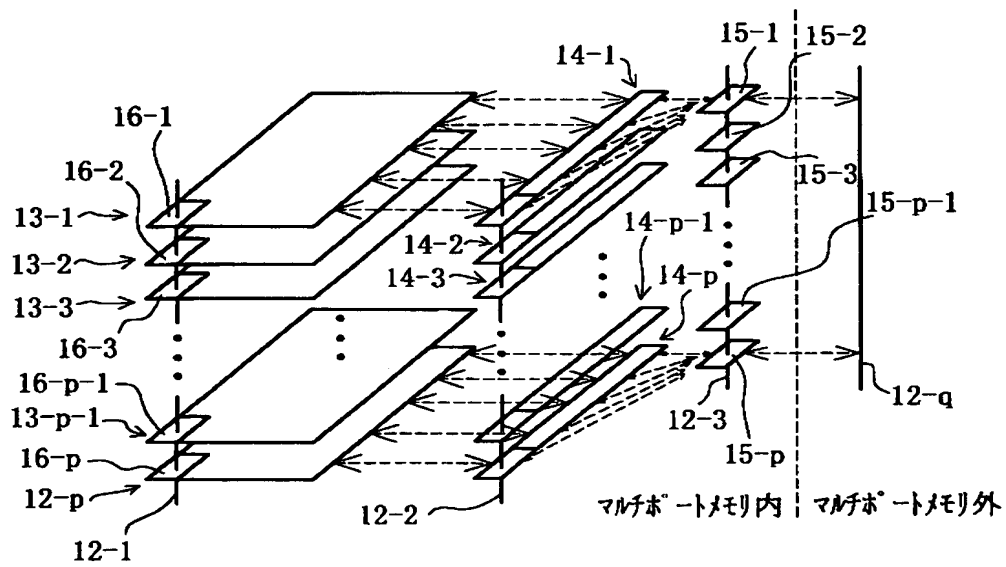
【図 1】



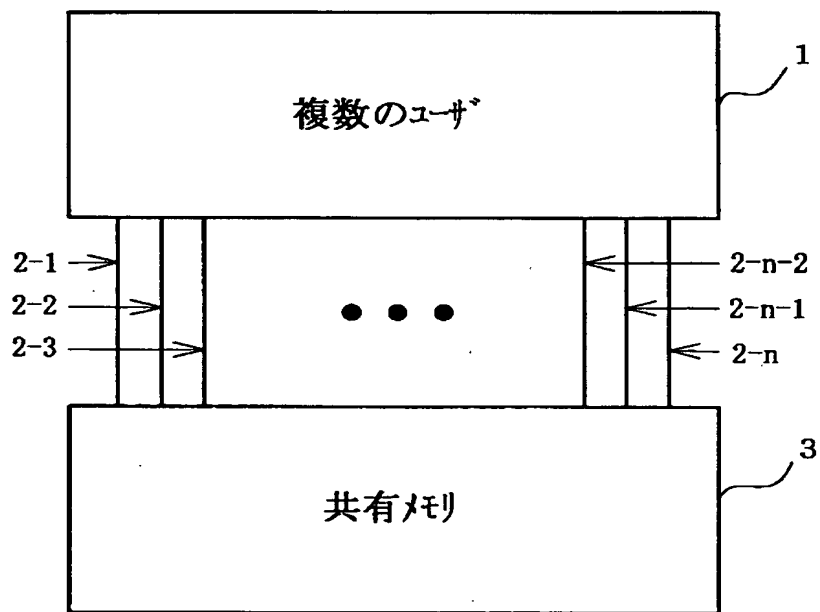
【図 2】



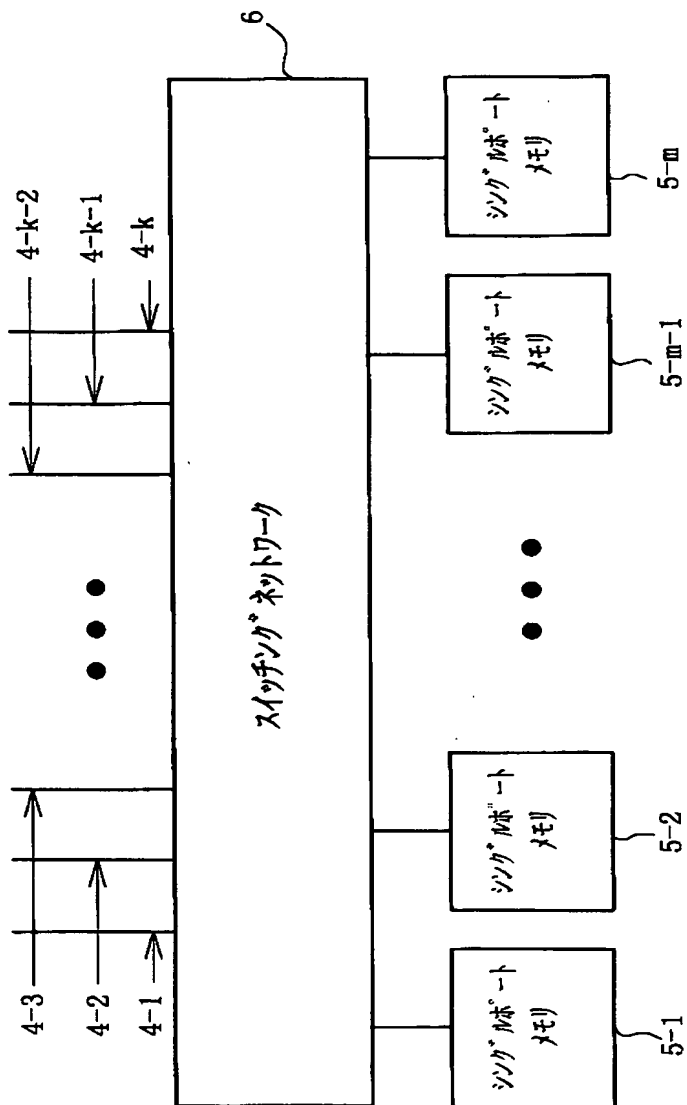
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 共有メモリのユーザが利用可能なポート数を増大させるとともに、高アクセスビットレートを実現させる。

【解決手段】 共有メモリは、 $p$  個のマルチポートメモリ  $11-1, 11-2, \dots, 11-p$  と、 $q$  個のコピーバス  $12-1, \dots, 12-q$  とを具える。これらマルチポートメモリ  $11-1, 11-2, \dots, 11-p$  の各々のポートのうち  $q$  個のポートをコピーバス  $12-1, \dots, 12-q$  の各々に接続し、それ以外の  $k-q$  個のポートに対してユーザがアクセス可能にする。その結果、 $n = p \times (k - q)$  個のポートに対してユーザがアクセス可能となる。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	平成11年 特許願 第033753号
受付番号	59900119660
書類名	特許願
担当官	第五担当上席 0094
作成日	平成11年 2月15日

### <認定情報・付加情報>

#### 【特許出願人】

【識別番号】	391012648
【住所又は居所】	広島県東広島市鏡山1丁目3番2号
【氏名又は名称】	広島大学長

#### 【代理人】

【識別番号】	申請人
【識別番号】	100059258
【住所又は居所】	東京都千代田区霞が関3-2-4 霞山ビル7階
【氏名又は名称】	杉村 暁秀

#### 【選任した代理人】

【識別番号】	100072051
【住所又は居所】	東京都千代田区霞が関3-2-4 霞山ビル7階
【氏名又は名称】	杉村 興作

#### 【選任した代理人】

【識別番号】	100098383
【住所又は居所】	東京都千代田区霞が関3丁目2番4号 霞山ビル ディング7階 杉村萬國特許事務所内
【氏名又は名称】	杉村 純子

#### 【選任した代理人】

【識別番号】	100101096
【住所又は居所】	東京都千代田区霞が関3丁目2番4号 杉村萬國 特許事務所内
【氏名又は名称】	徳永 博

#### 【選任した代理人】

【識別番号】	100100125
【住所又は居所】	東京都千代田区霞が関3丁目2番4号 杉村萬國 特許事務所内
【氏名又は名称】	高見 和明

#### 【選任した代理人】

次頁有

認定・付加情報（続き）

【識別番号】	100073313
【住所又は居所】	東京都千代田区霞が関 3 - 2 - 4 杉村特許事務所内
【氏名又は名称】	梅本 政夫
【選任した代理人】	
【識別番号】	100097504
【住所又は居所】	東京都千代田区霞が関 3 丁目 2 番 4 号 霞山ビルディング 7 階 杉村萬國特許事務所内
【氏名又は名称】	青木 純雄
【選任した代理人】	
【識別番号】	100102886
【住所又は居所】	東京都千代田区霞が関 3 丁目 2 番 4 号 霞山ビルディング 7 階 杉村萬國特許事務所内
【氏名又は名称】	中谷 光夫
【選任した代理人】	
【識別番号】	100107227
【住所又は居所】	東京都千代田区霞が関 3 丁目 2 番 4 号 霞山ビルディング 7 階 杉村萬國特許事務所内
【氏名又は名称】	藤谷 史朗

出 願 人 履 歴 情 報

識別番号 [391012648]

1. 変更年月日	1997年 5月14日
[変更理由]	住所変更
住 所	広島県東広島市鏡山1丁目3番2号
氏 名	広島大学長